

THIẾT KẾ BỘ MDAC TỐC ĐỘ CAO, CÔNG SUẤT THẤP DỰA TRÊN CÔNG NGHỆ CMOS 65NM

Phạm Xuân Minh, Nguyễn Trọng Huân

Học Viện Công Nghệ Bưu Chính Viễn Thông Cơ Sở Thành Phố Hồ Chí Minh

Tóm tắt: Bài báo này trình bày các bước chi tiết trong quy trình thiết kế bộ MDAC hoàn chỉnh theo công nghệ 65nm. Quá trình xây dựng cơ sở lý thuyết, phân tích và tính toán được thực hiện để tìm ra cấu hình mạch, kích thước transistor và giá trị linh kiện tối ưu nhằm đạt được các yêu cầu về tốc độ cao, công suất tiêu thụ cực thấp và điện áp cung cấp không quá lớn.

Từ khóa: Operational Transconductance Amplifier (OTA), Multiplying Digital to Analog Converter, Pipelined ADC.

I. GIỚI THIỆU

Bộ chuyển đổi tương tự sang số (ADC) là một thành phần quan trọng thiết kế hệ thống System on Chip (SOC) – một hệ thống chứa cả mạch số và mạch tương tự đóng một vai trò quan trọng trong ngành công nghiệp vi mạch. Một trong các bộ ADC được ứng dụng nhiều nhất là Pipelined ADC, bởi nó cân bằng tốt giữa tốc độ chuyển đổi, độ phân giải và công suất tiêu thụ [1]. Hiện nay, yêu cầu về hiệu năng của bộ chuyển đổi này ngày càng cao: tốc độ, công suất, độ phân giải, độ chính xác, khả năng miễn nhiễu...cho dù các yếu tố này khó có thể kết hợp được với nhau trong quá trình thiết kế và vận hành.

Đối với Pipelined ADC, bên cạnh vai trò quan trọng của mạch Sample & Hold trong lấy mẫu tín hiệu, thì mạch MDAC sẽ quyết định độ chính xác khi chuyển đổi, độ phân giải của mỗi tầng, cũng như độ phân giải của cả pipelined ADC [9]. Vì vậy, MDAC cũng phải thỏa mãn các thông số đã đề ra khi thiết kế ADC, đặc biệt là khi nó cũng là một trong những thành phần tiêu tốn nhiều công suất nhất trong các bộ ADC tốc độ cao.

Bộ MDAC này sẽ chịu ảnh hưởng mạnh mẽ bởi các đặc tính cấu hình Operational Transconductance Amplifier (OTA) của nó như : băng thông, độ lợi DC, độ tuyến tính, công suất tiêu thụ...Do đó, việc thiết kế cấu hình OTA chính xác sẽ bảo đảm được các đặc tính tốc độ cao, công suất thấp của pipelined ADC [5].

Do đó, bài báo sẽ tập trung vào nghiên cứu, lựa chọn cấu hình OTA và các khối thành phần tốt nhất, nhằm thiết

kế một bộ MDAC tối ưu hơn nữa về các thông số so với các thiết kế đã có, nhằm cung cấp cho các bộ chuyển đổi có độ phân giải cao.

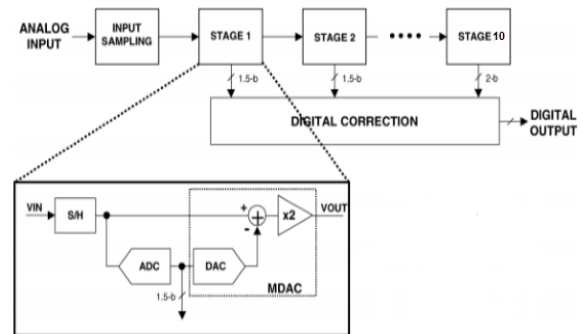
Bài báo được tổ chức như sau: phần II trình bày cơ sở lý thuyết Pipelined ADC, phân tích kiến trúc và đặc điểm của MDAC 1.5bit. Phần III trình bày thiết kế OTA và các thành phần khác trong mạch. Phần IV trình bày kết quả mô phỏng thiết kế, kết luận thể hiện trong phần V của bài báo.

II. KIẾN TRÚC

A. Kiến trúc pipelined ADC

Pipelined ADC (PA) đạt được độ chính xác cao trong hoạt động chuyển đổi tín hiệu nhờ cấu trúc chuyển đổi nhiều tầng của nó [6]. Hình 1 mô tả kiến trúc Pipelined ADC 15bit, bao gồm 10 tầng, mỗi tầng 1.5bit. Tầng cuối cùng chứa một bộ đệm 2 bit, một thanh ghi dịch để điều chỉnh các bit ngõ ra và một mạch hiệu chỉnh số để đưa ra giá trị chuyển đổi cuối cùng. Mỗi tầng PA thực hiện hai nhiệm vụ:

- Chuyển đổi, tạo giá trị bit ở ngõ ra mỗi tầng.
- Tạo giá trị dư sau khi chuyển đổi và gửi giá trị này đến tầng tiếp theo.



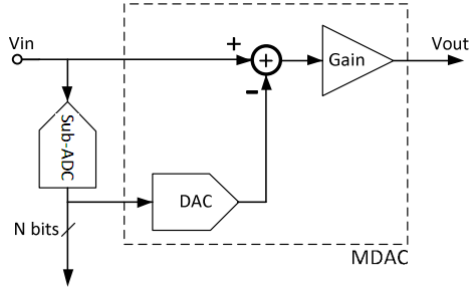
Hình 1. Sơ đồ khối Pipelined ADC.

Hình 2 mô tả sơ đồ khối một tầng PA, trong đó bộ sub-DAC, bộ trừ, khối tạo độ lợi (gain) kết hợp với nhau tạo thành bộ MDAC (Multiplying DAC).

Tác giả liên hệ: Phạm Xuân Minh

Email: minhpx@ptithcm.edu.vn

Đến tòa soạn: 23/11/2021, chỉnh sửa: 27/02/2022, chấp nhận đăng: 16/03/2022.



Hình 2. Sơ đồ khối một tầng Pipelined ADC [10].

Tín hiệu ngõ vào V_{in} đầu tiên sẽ được chuyển đổi bởi bộ sub-ADC cho giá trị số ngõ ra. Giá trị số này được chuyển đổi ngược lại bằng bộ sub-DAC cho giá trị tương tự tương ứng của giá trị số và gửi đến bộ trừ. Ngõ ra bộ trừ (giá trị dư) - giá trị sai khác giữa ngõ vào và giá trị chuyển đổi từ bộ sub-DAC sau đó được khuếch đại và gửi đến tầng tiếp theo. Việc chuyển đổi điện áp dư sau mỗi tầng sẽ giảm tính phức tạp khi thiết kế bộ so sánh trong khối sub-ADC. Hơn nữa, bằng cách giảm kích thước của mosfet sẽ thỏa mãn được yêu cầu công suất thấp. Tuy nhiên, cấu trúc này sẽ đòi hỏi cao về độ chính xác của bộ sub-DAC, cũng như bộ khuếch đại phải có độ lợi và băng thông cao [4].

B. MDAC 1.5bit stage

Quá trình chuyển đổi điện áp dư sau mỗi tầng sẽ giúp Pipelined ADC đạt được độ chính xác cao trong hoạt động chuyển đổi tín hiệu của nó. Với kiến trúc 1.5bit mỗi tầng, số bit lượng tử hóa được tăng từ 1 lên 1.5bit. Như vậy, ngõ ra số sẽ nhận 3 giá trị : '00', '01', '10'.

Lúc này, giá trị thu được tại ngõ ra của khối sub-ADC, và sub-DAC lần lượt là [6]:

$$D_{out} = \begin{cases} '00' & \text{nếu } V_{in} \leq -\frac{1}{4}V_{ref} \\ '01' & \text{nếu } -\frac{1}{4}V_{ref} < V_{in} \leq \frac{1}{4}V_{ref} \\ '10' & \text{nếu } V_{in} > \frac{1}{4}V_{ref} \end{cases} \quad (1)$$

$$V_{subDAC} = \begin{cases} -\frac{1}{2}V_{ref} & \text{nếu } D_{out} = '00' \\ 0 & \text{nếu } D_{out} = '01' \\ \frac{1}{2}V_{ref} & \text{nếu } D_{out} = '10' \end{cases} \quad (2)$$

Khi đó, giá trị dư của điện áp để chuyển đến tầng tiếp theo sau khi đã khuếch đại:

$$V_{out} = \begin{cases} 2(V_{in} + \frac{1}{2}V_{ref}) & \text{nếu } V_{in} \leq -\frac{1}{4}V_{ref} \\ 2V_{in} & \text{nếu } -\frac{1}{4}V_{ref} < V_{in} \leq \frac{1}{4}V_{ref} \\ 2(V_{in} - \frac{1}{2}V_{ref}) & \text{nếu } V_{in} > \frac{1}{4}V_{ref} \end{cases} \quad (3)$$

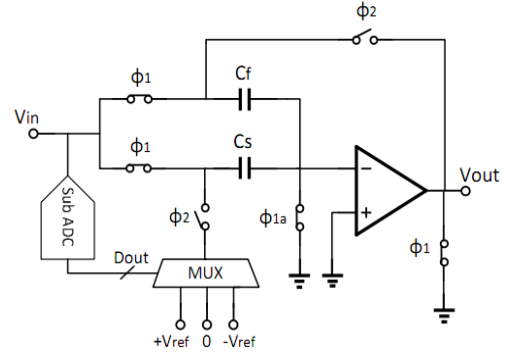
Bằng cách tăng số vùng lượng tử hóa lên 3 vùng trong kiến trúc 1.5bit sẽ làm giảm lỗi lượng tử của giá trị số ngõ ra. Với Pipelined ADC k tầng, giá trị điện áp ngõ ra ở tầng cuối cùng bằng:

$$V_{PA} = \frac{1}{2}V_{ref} \sum_{i=0}^{k-1} 2^{-i} (D_{out(i)} - 1) \quad (4)$$

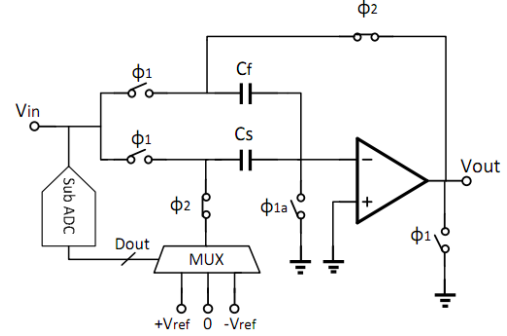
C. Cấu trúc chuyển mạch tụ MDAC

Cấu trúc chuyển mạch tụ (Switched-Capacitor) được ứng dụng vào thiết kế bộ MDAC nhằm tận dụng ưu thế chuyển mạch tốc độ cao, và công suất tiêu thụ thấp của nó [3]. Cấu trúc chuyển mạch tụ MDAC (SC-MDAC) được

mô tả ở hình 3.



(a) Pha lấy mẫu [10].



(b) Pha khuếch đại [10].

Hình 3. Hoạt động của SC-MDAC.

Hoạt động của SC-MDAC được chia thành 2 pha:

- Pha lấy mẫu $\Phi 1$.
- Pha khuếch đại $\Phi 2$.

Trong pha lấy mẫu (Hình 3a), $\Phi 1$ đóng, tín hiệu ngõ vào được lấy mẫu bởi C_s và C_f , sau đó gửi đến sub-ADC, $\Phi 1a$ đảm bảo pha lấy mẫu thực hiện hoàn tất. Giá trị số ngõ ra của pipelined ADC cũng được tạo ra trong pha này. Trong pha khuếch đại $\Phi 2$, tụ được chuyển mạch nối đến bộ MUX (sub-DAC) tạo giá trị tương tự ứng với ngõ ra của sub-ADC, tạo giá trị dư gửi đến tầng chuyển đổi tiếp theo.

Giá trị dư V_{out} được tính bởi công thức:

$$V_{out} = \begin{cases} \left(1 + \frac{C_s}{C_f}\right)V_{in} + \frac{C_s}{C_f}V_{ref} & \text{nếu } V_{in} \leq -\frac{1}{4}V_{ref} \\ \left(1 + \frac{C_s}{C_f}\right)V_{in} & \text{nếu } -\frac{1}{4}V_{ref} < V_{in} \leq \frac{1}{4}V_{ref} \\ \left(1 + \frac{C_s}{C_f}\right)V_{in} - \frac{C_s}{C_f}V_{ref} & \text{nếu } V_{in} > \frac{1}{4}V_{ref} \end{cases} \quad (5)$$

Với $C_s = C_f$ thì (5) tương đương với (3). Như vậy, công việc còn lại là phải thiết kế các khối thành phần tương thích với hoạt động của cấu hình SC-MDAC.

III. THIẾT KẾ

A. Thiết kế bộ OTA

Đối với ứng dụng đòi hỏi độ chính xác, và tốc độ cao như pipelined ADC cần phải có một bộ OTA có độ lợi DC lớn, băng thông rộng, tốc độ đáp ứng cao. Cấu hình thỏa mãn các yếu tố này chính là cấu hình hai tầng, một tầng có độ lợi cao nhưng vẫn đảm bảo công suất tiêu thụ thấp, và một tầng tạo dao động ngõ ra lớn đồng thời tăng độ lợi cho

tầng 1 trong khi vẫn duy trì lượng công suất tiêu tán tối thiểu. Do đó, cấu hình OTA được đề xuất sử dụng là cấu hình hai tầng.

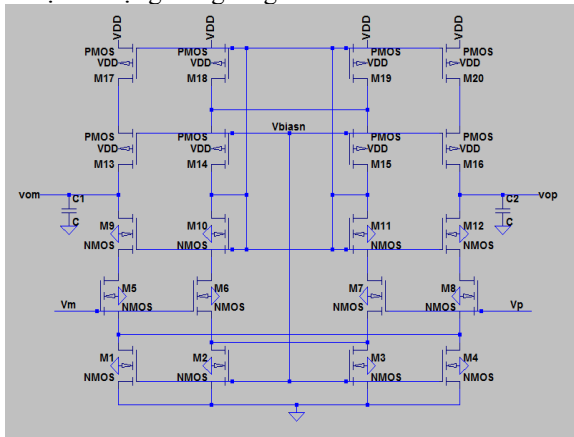
Thông số thiết kế:

- Điện áp cung cấp: $1V \pm 40\%$
- Độ lợi DC: > 500
- Công suất tiêu thụ: rất thấp (nhỏ hơn 1mW)
- Tần số hoạt động: 100MHz
- Độ phân giải: 1.5bit/stage (Pipelined ADC)
- Dao động ngõ ra: $2V_{p-p}$
- Tụ tải: $C_L = 50fF$
- Tần số đơn vị: > 500 Mhz
- Công nghệ CMOS: 65nm.

1. Tầng 1

Đối với tầng đầu tiên, với mục đích tạo ra độ lợi cao, tốc độ đáp ứng nhanh trong khi công suất tiêu thụ thấp nhất, tầng này cũng không yêu cầu phải có mức dao động ngõ ra cao. Do đó, ta có thể chọn cấu hình cascode vì cấu hình này có độ lợi và mức dao động ngõ ra chấp nhận được, hoạt động trong điều kiện điện áp cung cấp thấp tốt hơn so với telescopic trong khi công suất tiêu thụ cũng không quá lớn.

Hình 4 trình bày sơ đồ nguyên lý của mạch cascode vi sai được sử dụng trong tầng 1.



Hình 4. Cấu hình cascode vi sai tầng 1.

Quy tắc chung khi thiết kế các yêu cầu công suất thấp thì kích thước mosfet thường được chọn với kích thước nhỏ nhất. Đối với cấu hình cascode vi sai tầng 1, các mosfet được thiết kế sao cho luôn luôn hoạt động trong vùng bão hòa, thiết kế sử dụng công nghệ 65nm, do đó chiều dài của mosfet được chọn phải tối thiểu bằng 65nm. Ở đây, ta chọn $L = 65nm$ để mạch đạt tốc độ tối ưu.

Tốc độ đáp ứng (slew rate) của mạch bằng 500mV/ns. Lúc này, đáp ứng mạch ứng với $V_{DD} = 1V$ sẽ là 2ns. Với yêu cầu công suất tiêu thụ thấp, dòng phân cực I_{tail} phải có giá trị càng bé càng tốt, đồng thời mosfet phải hoạt động trong vùng bão hòa, dĩ nhiên là nó phải đảm bảo được các thông số độ lợi DC, độ lợi băng thông... Ở thiết kế này, C_1 và C_2 được chọn bằng 50fF thỏa các yếu tố trên, đồng thời đảm bảo dòng phân cực có giá trị vừa đủ nhỏ.

Để đạt được tốc độ đáp ứng ở trên thì:

$$I_{tail} \geq SR.C_2 = 25\mu A.$$

Chọn dòng phân cực $I_{tail} = 26\mu A$ để trừ tổn thất trên đường truyền tín hiệu, Ứng với dòng tại mỗi nhánh là $26\mu A/2 = 13\mu A$. Trên thực tế thì giá trị dòng phân cực I_{tail}

ảnh hưởng tới công suất tiêu thụ của thiết kế, tăng dòng phân cực thì cũng làm tăng công suất tiêu thụ. Tuy nhiên, với giá trị dòng phân cực tăng $1\mu A$ thì không ảnh hưởng đáng kể tới công suất tiêu thụ nên có thể chấp nhận được.

Với công nghệ 65nm, mosfet hoạt động ở chế độ kênh ngắn, khi đó dòng điện I_D của các mosfet sẽ được xác định bởi công thức:

$$I_D = V_{sat} \cdot C_{ox} \frac{W}{L} (V_{gs} - V_{TH} - V_{DS,sat})$$

Bằng công cụ mô phỏng, tính toán ta xác định được các thông số mosfet như sau:

- $V_{OV} = 100mV$
- $V_{DS} = 100mV$
- $V_{TH} = 380mV$
- $V_{GS} = 400mV$
- $V_{DS,sat} = 50mV$

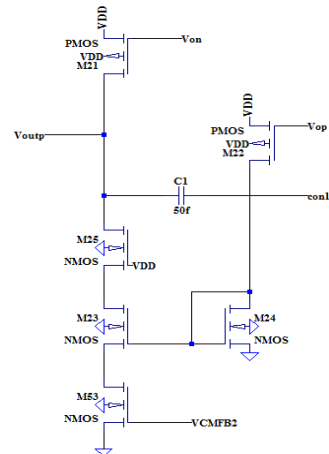
Từ đó kích thước NMOS, PMOS được xác định:

$$\frac{W}{L}(NMOS) \approx 10, \frac{W}{L}(PMOS) \approx 20$$

Khi đó, độ lợi tầng 1 đạt được là 41V/V.

2. Tầng 2

Đối với tầng thứ hai, với mục đích tạo dao động ngõ ra lớn nên phải lựa chọn mạch có càng ít mosfet càng tốt. Do đó, mạch đệm class AB là cấu trúc điển hình được chọn (hình 5).



Hình 5. Cấu trúc mạch class-AB tầng 2.

Độ lợi của bộ OTA được tính:

$$A = A_1.A_2 = 41.A_2 > 500$$

Với $A_1 = 41$: độ lợi tầng 1

A_2 : độ lợi tầng 2

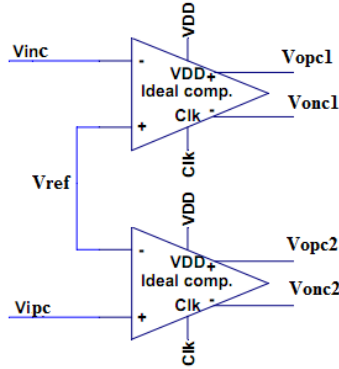
Như vậy độ lợi của tầng 2 phải được thiết kế sao cho $A_2 > 500/41 = 12$.

B. Thiết kế sub-ADC

Khối sub-ADC hay bộ so sánh là thành phần chính trong quá trình chuyển đổi tín hiệu của Pipelined ADC. Nhiệm vụ chính của nó là lượng tử hóa tín hiệu tương tự ngõ vào và chuyển đổi thành tín hiệu số tương ứng với giá trị của tín hiệu tương tự đó.

Hình 6 mô tả sơ đồ khối bộ sub-ADC, giá trị ngưỡng so sánh V_{ref} dùng trong khối sub-ADC là 250mV, khi đó giá

trị hai ngõ vào vì sai nhỏ nhất để tạo ra mức chênh lệch 250mV là 625mV và 375mV. Như vậy, ta sẽ lấy giá trị 375mV này làm điện áp tham chiếu so sánh cho sub-ADC.



Hình 6. Sơ đồ khối sub-ADC.

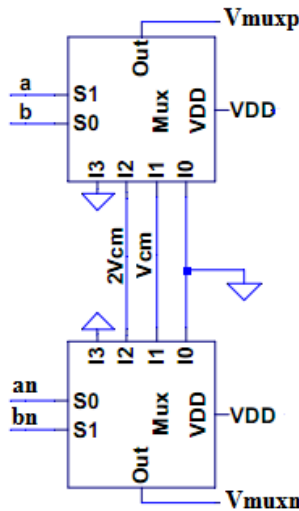
C. Thiết kế sub-DAC

Bộ sub-DAC nhận ngõ ra số từ sub-ADC và chuyển đổi trở lại giá trị tương tự ứng với giá trị số đó.

Từ công thức (2) với $V_{ref} = V_{DD} = 2V_{CM}$ ta có:

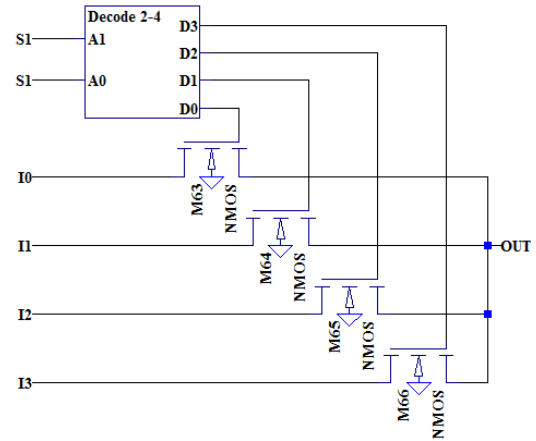
$$V_{Sub-DAC} = \begin{cases} 0 & \text{nếu } D_{out} = '00' \\ V_{CM} & \text{nếu } D_{out} = '01' \\ 2V_{CM} & \text{nếu } D_{out} = '10' \end{cases}$$

Như vậy, thực chất bộ sub-DAC chỉ là một bộ giải mã 2-4 chọn một trong ba giá trị 0, V_{CM} , $2V_{CM}$. Sơ đồ khối và mạch nguyên lý của bộ sub-DAC được mô tả trong hình 7 và 8.



Hình 7. Sơ đồ khối bộ sub-DAC.

Cấu trúc bên trong của bộ sub-DAC



Hình 8. Mạch nguyên lý bộ sub-DAC.

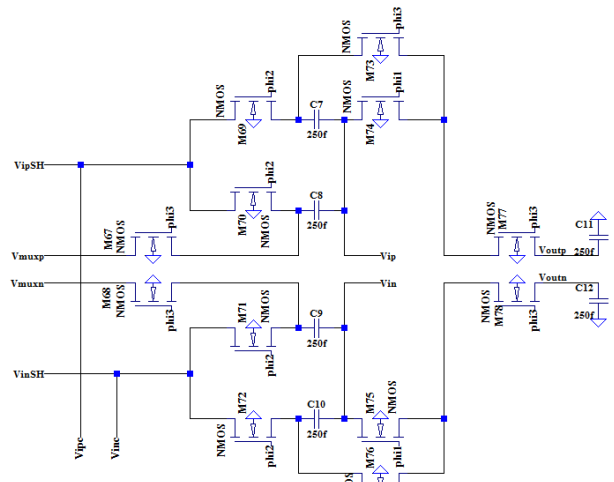
Như vậy, ứng với:

- S1S0 = '00' thì D3D2D1D0 = '0001', $V_{muxp} = 0$.
- S1S0 = '01' thì D3D2D1D0 = '0010', $V_{muxp} = V_{CM} = 500mV$.
- S1S0 = '10' thì D3D2D1D0 = '0100', $V_{muxp} = 2V_{CM} = 1V$.

D. Thiết kế MDAC

Với việc lựa chọn cấu trúc chuyển mạch tự để thiết kế bộ MDAC (SC-MDAC) nhằm tận dụng ưu thế chuyển mạch tốc độ cao, và công suất tiêu thụ thấp của nó. Do đó, bộ MDAC sử dụng trong mạch được thiết kế dựa trên cấu trúc này, trong đó các NMOS đóng vai trò là các khóa chuyển mạch. Sơ đồ nguyên lý bộ MDAC được thể hiện trong hình 9, trong đó:

- + V_{ipSH} và V_{inSH} : là mẫu tín hiệu được lấy từ mạch Sample & Hold.
- + V_{ipc} , V_{inc} : tín hiệu gửi đến bộ sub-ADC.
- + V_{muxp} , V_{muxn} : tín hiệu nhận được từ bộ sub-DAC
- + V_{ip} , V_{in} , V_{outp} , V_{outn} : ngõ vào và ngõ ra vi sai của bộ OTA.

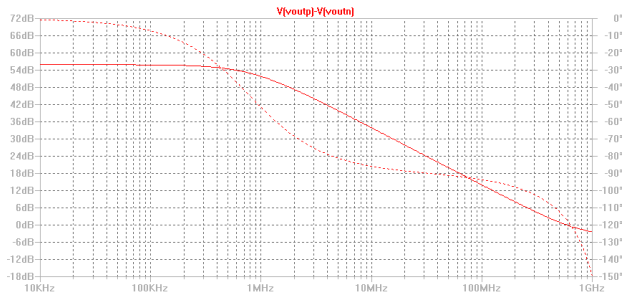


Hình 9. Sơ đồ nguyên lý MDAC.

- + Các khóa chuyển mạch NMOS và các tụ C7, C8, C9, C10, C11, C12 đóng vai trò như bộ trừ thực hiện việc giữ, trừ và khuếch đại các tín hiệu.

IV. KẾT QUẢ

Kết quả mô phỏng của thiết kế được xác định ở điều kiện nhiệt độ phòng và được thực hiện bằng Spice. Kết quả đáp ứng tần số của bộ OTA được thể hiện ở hình 10.

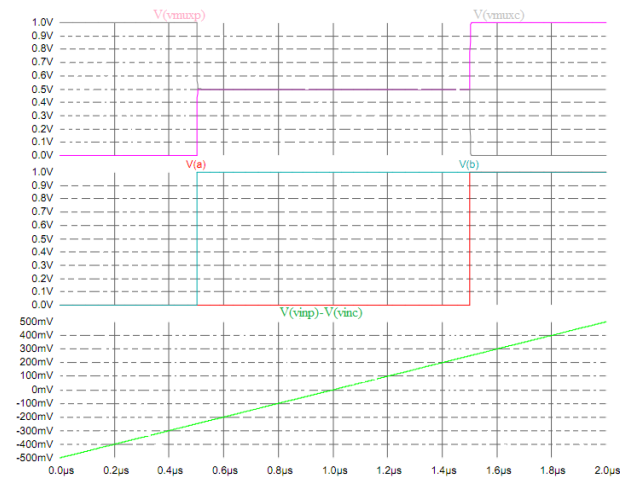


Hình 10. Đáp ứng tần số bộ OTA.

Kết quả mô phỏng cho thấy bộ OTA được thiết kế có các thông số như sau:

- Độ dao động ngõ ra : $2V_{p-p}$.
- Độ lợi của bộ OTA : 640 tương đương 56dB.
- Tần số cắt đơn vị: 600MHz.
- Biên pha: 62.8° nằm trong giới hạn ổn định của biên pha ($60^\circ - 90^\circ$).

Đáp ứng của bộ sub-DAC:

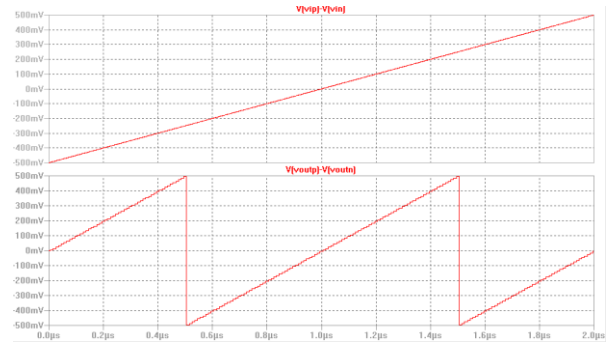


Hình 11. Đáp ứng của sub-DAC.

Từ kết quả mô phỏng đáp ứng bộ sub-DAC trong hình 11, ta thấy rằng:

- Khi điện áp vi sai ngõ vào bộ so sánh nhỏ hơn $-250mV$: $ab = '00'$, $V_{muxp} = 0V$, $V_{muxn} = 2V_{CM} = 1V$.
- Khi ngõ vào vi sai nhỏ hơn $250mV$: $ab = '01'$, $V_{muxp} = V_{CM} = 500mV$, $V_{muxn} = V_{CM} = 500mV$.
- Khi ngõ vào vi sai lớn hơn $250mV$: $ab = '10'$, $V_{muxp} = 2V_{CM} = 1V$, $V_{muxn} = 0V$.

Đáp ứng Bộ MDAC được mô tả trong hình 12:



Hình 12. Đáp ứng của bộ MDAC.

Bảng 1. Hiệu năng của thiết kế.

Thông số	Giá trị
Nguồn cung cấp (V)	1
Độ lợi DC (dB)	56
Tần số đơn vị (MHz)	600
Biên pha (độ)	62.8
Tụ tải (pF)	0.25
Thời gian ổn định (ns)	2
Mức dao động ngõ ra (V_{p-p})	2
Công suất tiêu thụ (mW)	0.67
Công nghệ (CMOS)	65nm

Từ bảng đánh giá hiệu năng thiết kế (bảng 1) ta có thể thấy được bộ MDAC đạt được các thông số thiết kế đặt ra. Ưu điểm chính của thiết kế hiện tại là tốc độ cao, mức dao động ngõ ra lớn và công suất tiêu thụ nhỏ, tuy nhiên độ lợi lại thấp là do ta phải đánh đổi thông số này để tối ưu các thông số còn lại. Tuy nhiên độ lợi này là đạt yêu cầu đối với các ứng dụng công suất thấp và không gây ảnh hưởng nhiều đến hiệu năng của hệ thống.

V. KẾT LUẬN

Bài báo đã trình bày các bước chi tiết trong quy trình thiết kế bộ MDAC hoàn chỉnh theo công nghệ 65nm. Quá trình xây dựng cơ sở lý thuyết, phân tích và tính toán đã được thực hiện để tìm ra cấu hình mạch, kích thước mosfet và giá trị linh kiện tối ưu nhằm đạt được các yêu cầu về tốc độ cao, công suất tiêu thụ cực thấp và điện áp cung cấp không quá lớn.

Bộ MDAC này được thiết kế theo cấu trúc 1.5bit được sử dụng trong mạch chuyển đổi có độ phân giải và độ chính xác cao như Pipelined ADC. Do đó, kết quả này có thể được vận dụng để thiết kế một tầng trong cấu trúc pipelined ADC, công việc phải thực hiện là thiết kế thêm một bộ Sample & Hold có cùng thông số. Từ đó, có thể tiến hành thiết kế hoàn chỉnh một bộ chuyển đổi pipelined ADC nhiều tầng có độ phân giải và các thông số theo yêu cầu.

Bài báo chỉ nhằm đến thiết kế 1 thành phần quan trọng trong kiến trúc Pipelined ADC là MDAC đáp ứng theo ngõ ra của mỗi tầng chuyển đổi ADC. Do đó, kết quả của bài báo chỉ đánh giá các thông số thiết kế đặt ra cho bộ MDAC. Các tiêu chí đánh giá cho bộ ADC như: INL, DNL, SNR, ENOB,... sẽ được thực hiện trong tương lai khi thiết kế một bộ Pipelined ADC hoàn chỉnh.

LỜI CẢM ƠN

Nghiên cứu này được tài trợ bởi Học Viện Công nghệ Bưu chính Viễn thông Cơ sở tại Thành Phố Hồ Chí Minh trong đề tài có mã số 06-HV-2021-RD_ĐT2.

TÀI LIỆU THAM KHẢO

- [1] P.R. Gray, P.J. Hurst, S.H. Lewis, R.G. Meyer, "Analysis and Design of Analog Integrated Circuits", John Wiley and Sons Inc, USA, 2001.
- [2] [Ojas Choksi, L. Richard Carley, "Analysis of Switched-Capacitor Common-Mode Feedback Circuit", IEEE Transactions on circuits and systems - II: Analog and Digital Signal Processing, vol 50 (no 12), pp 906 – 917, 2003.
- [3] Sai-Weng Sin, Seng-Pan U, R.P. Martins, "A novel very low-voltage SC-CMFB technique for fully-differential reset-opamp circuits", IEEE International Symposium on Circuits and Systems, Kobe Japan, 2005.
- [4] J. Mahattanakul, "Design Procedure for Two-Stage CMOS Operational Amplifiers Employing Current Buffer", IEEE Transactions on Circuits and Systems-II: Express Briefs, vol 52 (no 11), pp 766 – 770, 2005.
- [5] Rohana Musa, Yuzman Yusoff, and Tan Kong Yew, "Design of Single-Stage Folded-Cascode Gain Boost Amplifier for 100mW 10-bit 50MS/s Pipelined Analog-to-Digital Converter", 28th International Conference on Software Engineering, Shanghai China, 2006.
- [6] Ying Yong Seng, Zhang Guo Min, "MDAC design for 1.5bit pipeline stage of high speed high resolution ADC", International Conference on Advanced Computer Control, Shenyang China, 2010.
- [7] R. Jacob Baker, "CMOS Circuit Design, Layout and Simulation", Wiley - IEEE Press, USA, 2010.
- [8] Manas K. Hati, Tarun K. Bhattacharyya, "Design of a low power, high speed complementary input folded regulated cascade OTA for a parallel pipeline ADC", IEEE Computer Society Annual Symposium on VLSI, Chennai India, 2011.
- [9] Vilem Kledrowetz, Jiri Haze, "Design of a 10-b Pipelined ADC without calibration", 2nd international conference on Circuits, Systems, Communications & Computers, Kanoni Greece, 2011.
- [10] Seyed A. Zahrai, Seyed J. Azhari, "A 12b 100MS/s Highly Power Efficient Pipelined ADC for Communication Applications", Cyber Journals, Ontario Canada, 2011.

A NOVEL DESIGN OF HIGH SPEED, LOW POWER MDAC IN 65NM CMOS TECHNOLOGY

Abstract: This paper presents fully design steps for Multiplying Digital to Analog Converter (MDAC) with 65nm CMOS technology. Basic theories, architecture design, design analysis and calculation are given to get circuit topology, transistor dimension and capacitance load values for optimization. The results obtained show our design optimization of high speed, low power and high accuracy with low voltage supply.

Keywords: Operational Transconductance Amplifier (OTA), Multiplying Digital to Analog Converter, Pipelined ADC.



Phạm Xuân Minh, Sinh ngày 28/08/1987. Tốt nghiệp đại học tại Đại học Sư phạm Kỹ thuật TP.HCM vào năm 2010 và nhận bằng Thạc sĩ tại Học viện Công nghệ Bưu chính Viễn thông vào năm 2013. Hiện công tác tại Khoa Kỹ thuật Điện tử 2, Học viện Công nghệ Bưu chính Viễn thông cơ sở TPHCM. Lĩnh vực nghiên cứu: hệ thống nhúng, thiết kế vi mạch. Điện thoại: 0939692171, email: minhpx@ptithcm.edu.vn.



Nguyễn Trọng Huân, sinh ngày 17/10/1986. Tốt nghiệp đại học tại Đại học Sư phạm Kỹ thuật TP.HCM vào năm 2010 và nhận bằng Thạc sĩ tại Học viện Công nghệ Bưu chính Viễn thông vào năm 2013. Hiện công tác tại Khoa Kỹ thuật Điện tử 2, Học viện Công nghệ Bưu chính Viễn thông cơ sở TPHCM. Lĩnh vực nghiên cứu: hệ thống nhúng, thiết kế vi mạch. Điện thoại: 0919442610, email: huannt@ptithcm.edu.vn.