MẠCH KHÔI PHỤC DỮ LIỆU VÀ XUNG ĐỒNG HỒ DẢI RỘNG VỚI MẠCH LỰA CHỌN XUNG UP

Phạm Mạnh Hà⁺, Nguyễn Thế Quang⁺, Nguyễn Hữu Thọ⁺

*Cục viễn thông, Bộ Thông tin và Truyền thông *Học Viện Kỹ Thuật Quân sự

Tóm tắt: Bài báo này trình bày về thiết kế mạch khôi phục dữ liệu và xung đồng hồ (CDR) bán tốc, dải rộng, không sử dụng tần số tham chiếu và tốc độ dữ liệu liên tục trên công nghệ CMOS 180nm. Nghiên cứu về các phương pháp phát hiện tần số trong mạch CDR cho thấy, các bộ phát hiện tần số trong mạch CDR đạt được cả ba tiêu chí quan trong nhất là dải rộng, tốc độ dữ liệu liên tục và khả năng phát hiên tần số theo hai hướng có nhược điểm, hoặc là có thời gian bám tần số còn dài khi tốc độ dữ liệu đầu vào tăng lên, hoặc chất lượng nhạy cảm với nhiễu xuyên ký tư. Do vây, bài báo đề xuất một bộ phát hiện tần số hai bước, kết hợp vòng bám tần số tinh và vòng bám tần số thô và một mạch lựa chọn xung UP để giảm thời gian đạt được tần số cũng như không có vấn đề với nhiễu xuyên ký tự. Kết quả mô phỏng cho thấy thời gian cực đại để đạt được trạng thái khóa tần số của mạch CDR là 3.2 µs và jitter của xung đồng hồ khôi phục tại 1.6 GHz bằng 6 ps.

Từ khóa: Khôi phục dữ liệu và xung đồng hồ, máy thu thông tin quang, mạch giao tiếp tốc độ cao, phát hiện tần số hai hướng, tốc độ dữ liệu liên tục, dải rộng, không sử dụng tần số tham chiếu.

I. ĐẶT VẤN ĐỀ

Mạch khôi phục dữ liệu và xung đồng hồ (CDR: Clock anh Data Recovery)) được sử dung rông rãi trong các mạch giao tiếp tốc độ cao và máy thu quang để trích ra dữ liệu và xung đồng hồ từ tín hiệu thu. Trong đó mạch CDR dựa trên vòng khóa pha PLL (PLL: Phase Locked Loop) được nghiên cứu và thiết kế phổ biến. Dựa vào phương thức bám tần số mà có hai phương thức của CDR: CDR sử dụng tần số tham chiếu và CDR không sử dụng tấn số tham chiếu. Tuy nhiên do những hạn chế về giá thành và tính mềm dẻo trong thiết kế mà phương thức đầu tiên không hấp dẫn với các ứng dụng CDR dải rộng. Gần đây, các mạch CDR không sử dụng tần số tham chiếu đã được đề xuất trong [2] – [13]. Thách thức lớn nhất đối với mạch CDR không sử dụng tần số tham chiếu là vấn đề khóa lỗi khi trích ra tốc độ bit của chuỗi dữ liệu đầu vào. Mạch CDR trong [3] sử dụng một kiến trúc hai vòng với kỹ thuật bám tần số dựa trên vòng khóa trễ. Kiến trúc này yêu cầu một đường giữ chậm tiêu thụ nhiều công suất tại tốc độ dữ liệu cao và sự

Tác giả liên hệ: Phạm Mạnh Hà

Email: <u>hapm.vn@gmail.com</u>

Đến tòa soạn: 20/2/2021, chỉnh sửa: 17/6/2021, chấp nhận đăng: 24/6/2021

phối hợp ngặt nghèo giữa đường giữ chậm điều khiển bằng điện áp và bộ dao động điều khiển bằng điện áp vì chúng sử dụng chung một tín hiệu điện áp điều khiến. Một cách tiếp cận số cho xử lý bám tấn số được trình bày trong [4]. Một bộ tạo xung đồng hồ tham chiếu ngẫu nhiên thống kê dựa trên bộ đếm được sử dụng để tạo ra một xung đồng hồ là ước số của tốc độ dữ liệu ngẫu nhiêu đầu vào. Tuy nhiên, nhược điểm của sơ đồ này là chất lượng của việc xử lý bám tần số phu thuộc vào mật độ chuyển của dữ liêu. Hơn nữa, một tần số tham chiếu nhỏ có thể dẫn đến một thời gian bám tần số dài. Một kỹ thuật phát hiện tần số dựa trên bộ đếm sẽ đếm số lượng các canh chuyển liên tiếp của xung đồng hồ và dữ liệu trong thời gian một bit dữ liệu và một nửa chu kỳ của xung đồng hồ tương ứng để đạt được khả năng phát hiên tần số theo hai hướng để giảm thời gian bám tần số được trình bày trong [5], tuy nhiên mạch CDR trong trường hợp này không phải là CDR dữ liệu liên tục. Sơ đồ CDR trong [6] đạt được khóa tần số và khóa pha bằng kỹ thuật tiêm khóa nhưng nó yêu cầu mã hóa dữ liệu 8B10B. Các kiến trúc CDR vòng đơn đã được nghiên cứu trong [7] – [9] để giảm công suất tiêu thụ và diện tích chiếm. Trong [7], một kỹ thuật "reset pha" được sử dụng để thay thể cho vòng bám tần số. Tuy nhiên, khoảng bám tần số của mạch bị giới hạn. Để vượt qua vấn đề này trong kiến trúc vòng đơn thì mạch CDR sử dụng khả năng phát hiện tần số của bản thân mạch phát hiện pha tuyến tính bán tốc [8] và mạch phát hiện pha nhị phân bán tốc [9], nhưng giải pháp này lại không có khả năng phát hiện tần số theo hai hướng. Trong trường hợp này, mạch VCO (VCO: Voltage Controlled Oscillator) luôn luôn bắt đầu làm việc từ tần số cực tiểu của nó cho hoat động bám tần số, làm tăng thời gian đạt được tần số. Các mạch CDR được giới thiệu trong [2], [10] -[12] đạt được cả ba tiêu chí quan trọng nhất của mạch CDR là dải rộng, tốc độ dữ liệu liên tục và khả năng phát hiện tần số theo hai hướng. Kỹ thuật bám tần số theo hai bước: thô và tinh được đề xuất trong [2, 10]. Tuy nhiên, trong [2] thời gian bám tần số sẽ tăng lên khi tốc độ dữ liệu đầu vào tăng và chất lượng jitter của dữ liệu và xung đồng hồ khôi phục chưa cao. Trong [10], chất lượng của mạch phát hiện tần số phụ thuộc mạnh vào nhiễu xuyên ký tự (ISI: Intersymbol Interference) của dữ liệu đầu vào nên một mạch san bằng tuyên tính thời gian liên tục phải được thêm vào để cực tiểu ảnh hưởng của ISI. Trong [11], xử lý bám tần số luôn luôn bắt đầu từ giữa dải của VCO nên thời gian bám tần số dài. Một kỹ thuật bám tần số dựa trên bộ đếm để đạt được khoảng bám không giới hạn được đề xuất trong [12]. Tuy nhiên chất lượng của mạch CDR cũng có thể bị suy giảm bởi ảnh hưởng của ISI.

Bài báo này đề xuất một phiên bản cải tiến của sơ đồ bám tần theo hai bước trong [2] và cung cấp thêm chi tiết thiết kế các khối mạch thành phần trong mạch CDR và thêm các mô phỏng đánh giá kết quả cho khả năng bám tần số dải rộng của CDR, chất lượng tạp âm pha của mạch VCO, công suất tiêu thụ của từng mạch thành phần trong mạch CDR so với công việc đã được trình bày trong [14] của tác giả. Mạch CDR đạt được cả hoạt động dải rộng, tốc độ dữ liệu liên tục và khả năng bám tần số theo hai hướng. Một mạch lựa chọn xung UP được đề xuất để giảm thời gian bám tần số của mạch CDR khi tốc độ dữ liệu đầu vào tăng. Ngoài ra, một mạch VCO ba dải cũng được đề xuất để cải thiện chất lượng jitter của dữ liệu và xung đồng hồ khôi phục.

Phần còn lại của bài báo được tổ chức như sau: Mục II trình bày về kiến trúc của mạch CDR đề xuất. Mục III đi vào trình bày về nguyên lý phát hiện tần số của CDR, thiết kế chi tiết mạch lựa chọn xung UP, mạch phát hiện khóa tần số và mạch VCO đải rộng. Kết quả mô phỏng mạch CDR trên công nghệ CMOS 180 nm được trình bày trong mục IV, bao gồm kết quả bám tốc độ dữ liệu cực đại và cực tiểu trong dải, công suất tiêu thụ của các mạch thành phần và chất lượng jitter của xung đồng hồ và dữ liệu khôi phục. Cuối cùng, mục V đưa đến kết luận của bài báo.

II. KIẾN TRÚC MẠCH CDR ĐỀ XUẤT

Sơ đồ khối của mạch CDR bán tốc, không sử dụng tần số tham chiếu với mạch lựa chọn xung UP đề xuất được thể hiện như trên Hình 1 [14]. Mạch CDR bao gồm hai vòng: vòng bám pha PLL và vòng bám tần số (FLL: Frequency Locked Loop). Để CDR hoạt động hiệu quả ở tần số cao thì một mạch phát hiện pha bán tốc nhị phân chế độ dòng [15] được sử dụng trong vòng bám pha PLL. PLL bao gồm một mạch bơm-sạc (CP2), một bộ lọc vòng bậc 2, môt mach VCO ba dải và môt bô lưa chon dải tần số cho VCO (FBS). Trong khi đó FLL bao gồm một bộ phát hiện tần số thô (CFD) [2], một mạch lựa chọn xung UP đề xuất, một bộ phát hiện tần số tinh (FFD) [2], một bộ phát hiện trạng thái khóa (LD) đề xuất, một bộ phát hiện trạng thái mất khóa (LOLD), một mạch bom-sạc (CP1). Ngoài ra, một mạch quyết định được sử dụng để khôi phục dữ liệu, môt mach tao điên áp tham chiếu (BGR) [1] tao ra các điên áp ổn định cho mạch FBS và một mạch tạo xung để tạo ra tín hiệu (EN) reset mạch CDR về trạng thái ban đầu.

Nguyên lý làm viêc của mach CDR đề xuất như sau. Tai thời điểm ban đầu, tín hiệu EN được tao ra để thiết lập trạng thái làm việc ban đầu cho CDR, chuyển mạch S1 đóng và chuyển mạch S2 mở, bắt đầu quá trình bám tần số. Mạch FBS dựa vào các tín hiệu UPF và DNF được tạo ra từ mạch FFD để lựa chọn chính xác dải tần số cho mạch VCO ba dải thông qua các bit điều kiển số D₀, D₁. Sau đó, mạch FD đề xuất sẽ bám theo lỗi tần số giữa một nửa tốc độ dữ liêu đầu vào và tần số của VCO. Khi lỗi tần số đủ nhỏ thì tín hiệu LOCK sẽ được tạo ra từ mạch LD để kết thúc quá trình bám tần số. Lúc này hai chuyển mạch S1 và S2 thay đổi trạng thái, S1 mở và S2 đóng để vòng khóa pha bắt đầu làm việc, xung đồng hồ và dữ liệu được khôi phục, đồng thời mạch LOLD cũng bắt đầu theo dõi tốc độ của dữ liệu đầu vào. Khi tốc độ dữ liệu đầu vào thay đổi thì mạch LOLD tạo ra tín hiệu LLD để reset mạch CDR về trạng thái ban đầu và bắt đầu một chu trình bám tần số và pha mới.



Hình 1. Sơ đồ khối của mạch CDR đề xuất.

III. THIẾT KẾ MẠCH CDR

A. Nguyên lý phát hiện tần số

Kỹ thuật bám tần số theo hai bước đã được đề xuất trong [10] và [13] cho mạch CDR dải rộng, không sử dụng tần số tham chiếu. Tuy nhiên các vòng bám tần số này vẫn có thời gian đat được tần số lớn do hai bước bám thô và tinh hoạt động theo trình tự. Đầu tiên vòng bám tần số thô sẽ hoat đông để bám lỗi tần số lớn giữa dữ liêu đầu vào và xung đồng hồ. Khi lỗi tần số này giảm xuống thì vòng bám tần số tinh bắt đầu làm việc để lội kéo sai lệch tần số về dải bắt của mạch PLL. Để giải quyết vấn đề này, một kỹ thuật bám tần số theo hai bước với sự hoạt động đồng thời của vòng tinh và vòng thô đã được đề xuất trong [2]. Hình 2 thể hiện mạch nguyên lý của CFD [2]. Mạch bao gồm một mach phát hiện dữ liệu nhanh hơn xung đồng hồ, một mạch phát hiện dữ liệu châm hơn xung đồng hồ, hai cổng OR, môt Flip-flop kiểu D (D-FF) và hai bô ghép kênh (MUX). Trong đó, các tín hiệu UPF và DNF được tạo ra từ mach FFD.

Do mạch CFD và FFD hoạt động đồng thời nên trong chế độ bám tăng tần số thì ta có tín hiệu UP đưa đến mạch bom-sạc như sau:



Hình 2. Sơ đồ khối mạch phát hiện tần số thô [2].

Từ phương trình (1) có thể thấy rằng, tốc độ bám tần số phụ thuộc mạnh vào độ rộng xung của xung UP_F và UP_C. Trong [2] đề xuất một giải pháp để mở rộng độ rộng xung UP_C với khoảng điều chỉnh tần số của VCO là Δf được xác định trong khoảng thời gian Δt theo công thức sau:

$$\Delta f \approx K_{VCO} \frac{\Delta t}{T_b} \cdot \frac{T_{CKI}/2 - T_b}{T_{CKI}/2} \cdot \frac{1}{8} \cdot (4.5T_{CK}) \cdot \frac{1}{C_p} \cdot J_{FD_-UP}$$
(2)

Trong đó K_{vco} là hệ số khuếch đại của VCO, C_p là giá trị tụ điện trong bộ lọc vòng và $I_{FD_{-}UP}$ là dòng điện trong mạch bom-sạc. Với giải pháp đề xuất này, mạch

CDR trong [2] giảm được thời gian bám tần số. Tuy nhiên, độ rộng xung UP_F tỷ lệ nghịch với tốc độ dữ liệu nên khi tốc độ dữ liệu tăng lên thì thời gian bám tần số cũng tăng. Điều này làm giảm hiệu quả của sự kết hợp giữa FD thô và FD tinh trong [2]. Vì vậy, trong bài báo này chúng tôi đề xuất một bộ lựa chọn xung UP để mở rộng độ rộng xung UP_F, cho phép cải thiện thời gian bám tần số khi tốc độ dữ liệu đầu vào tăng. Như được thể hiện trong Hình 1, thay vì đưa trực tiếp xung UP_{F1} từ đầu ra mạch FFD tới đầu vào mạch CFD như trong [2] thì UP_{F1} được đưa qua mạch lựa chọn xung UP để tạo ra xung UP_F với độ rộng xung đã được mở rộng, tăng tốc độ thay đổi tần số của VCO trong xử lý bám tăng tần số.

B. Mạch lựa chọn xung UP

Sơ đồ khối của mạch lựa chọn xung UP được thể hiện như trên Hình 3. Mạch bao gồm một mạch chia 8, một mạch chia 2, hai bộ chia 5-bit, một mạch ghép kênh và các mạch logic AND, OR, NOT. Tín hiệu UP_{F1} từ mạch FFD đưa đến, tín hiệu *LOCK_FD* từ mạch LD cho biết trạng thái khóa tần số, tín hiệu *STOP* từ mạch CFD cho biết mạch đang hoạt động ở chế độ bám tăng tần số, các bit điều khiển D₀, D₁ từ mạch FBS cho biết dải tần làm việc của mạch VCO ba dải.

Hình 4 thể hiện lưu đồ thuật toán của mạch lựa chọn xung UP. Do độ rộng xung UP_{F1} hẹp khi tốc độ dữ liệu đầu vào tăng nên trong thiết kế này, chúng tôi đề xuất chỉ mở rộng độ rộng xung UP_{F1} trong dải 2 (D₀ = 1) và dải 3 (D₁ = 1) của mạch VCO, còn tốc độ dữ liệu trong dải 1 thấp nên không cần mở rộng độ rộng xung UP_{F1} trong dải này. Mạch chia 2 được sử dụng để mở rộng độ rộng xung UP_{F1} thành UP_{F2}. Khi đó ta có xung UP_F sau khi được mở rộng:

$$UP_{F3} = UP_{F2} + UP_{F1}$$
 (3)



Hình 3. Sơ đồ khối mạch lựa chọn xung UP.

Nguyên lý lựa chọn xung UP bắt đầu bằng việc tạo ra một cửa sổ thời gian 128 T_{CK} từ một mạch chia 8 và một bộ đếm 5-bit. Trong khoảng thời gian này, mạch lựa chọn xung UP sẽ đếm số lượng xung UP_{F1} (N_{UP}). Theo nguyên lý của mạch FFD [2] thì số lượng của xung UP_{F1} tỷ lệ thuận với sự sai lệch tần số giữa một nửa tốc độ dữ liệu đầu vào và tần số xung đồng hồ. Khi sai lệch tần số lớn thì N_{UP} lớn và ngược lại. Khi số lượng xung UP_{F1} nhỏ hơn 6 trong dải 3 hoặc nhỏ hơn 16 trong dải 2 trong khoảng thời gian 128 T_{CK} thì mạch lựa chọn xung UP sẽ tạo ra tín hiệu SL_UP để kết thúc quá trình lựa chọn xung UP. Sơ đồ định thời của mạch lựa chọn xung UP được thể hiện trên Hình 5:

 $SL_UP =$ '0', $UP_F = UP_{F3}$, lỗi tần số lớn, tăng tốc độ thay đổi tần số của VCO.

 $SL_UP = '1'$, $UP_F = UP_{F1}$, lỗi tần số nhỏ, giảm tốc độ thay đổi tần số của VCO.

Tín hiệu SL_UP được tạo ra để đảm bảo vòng bám tần số sẽ không xảy ra lõi khóa. Điều này là bởi khi lõi tần số nhỏ mà chúng ta vẫn đưa xung UP_{F3} đến mạch CFD cho bám tăng tần số thì với tốc độ điều chỉnh tần số VCO nhanh, quá trình khóa tần số VCO đến một nửa tốc độ dữ liệu đầu vào có thể sẽ bị lỗi, tần số của VCO có thể đi qua điểm khóa.



Hình 4. Lưu đồ thuật toán của mạch lựa chọn xung UP



Hình 5. Sơ đồ định thời của mạch lựa chọn xung UP.

Một mô phỏng sử dụng phần mềm Cadence [16] được thực hiện để đánh giá hiệu quả của mạch lựa chọn xung UP đề xuất. Mô hình mô phỏng được thể hiện trên Hình 6. Mach mô phỏng được thực hiện cho hai trường hợp: có mach lưa chon xung UP và không có mach lưa chon xung UP với các thành phần gồm mạch phát hiện tần số (CFD + FFD), mạch CP, tụ điện C_p cho bộ lọc vòng và mạch VCO dải rộng. Với cùng các tham số mô phỏng như D_{in} bằng 2.8 Gb/s, dòng điện mạch CP bằng 450 μ s, tụ điện C_p bằng 1.5 nF, hệ số khuếch đại của VCO bằng 3.2 GHz/V và tần số thiết lập ban đầu của VCO bằng 627 MHz, ta có kết quả so sánh hiệu quả của mạch lựa chọn xung UP như được thể hiện trên Bảng I. Tại thời điêm băt đầu bám tân số, sai lệch của tần số lớn nên mạch CFD trội, tốc độ thay đối tần số của mạch FD có lưa chọn xung UP và không lựa chọn xung UP gần như nhau. Khi lỗi tần số giảm, xác suất xuất hiện xung UP_c giảm xuống, mạch FFD bắt đầu trội và tốc độ thay đổi tần số của mạch FD có lựa chọn xung UP trở nên nhanh hơn. Khi lỗi tần số gần bằng 0, số lượng xung UP_F được tạo ra từ mạch FFD nhỏ nên tốc độ thay đổi tần số của mạch FD có lựa chọn xung UP giảm xuống. Như vậy, với mạch lựa chọn xung UP đề xuất, độ rộng xung UP_F được mở rộng, mạch FLL có tốc độ thay đối tấn số nhanh hơn, giảm được thời gian bám tần số.



Hình 6. Mô hình mô phỏng đánh giá hiệu quả của mạch lựa chọn xung UP

Bång	I.	So	sánh	hiêu	quå	сůа	mach	lưa	chon	xung	UP
· · · · · · · · · · · · · · · · · · ·											

Thời gian	Tần số của	Tần số của	Sự khác	
mô phỏng	VCO khi	VCO khi mở	nhau giữa 2	
(µs)	không mở rộng	rộng xung UP	tần số VCO	
	xung UP	(MHz)	(MHz)	
	(MHz) [2]			
0.5	854	872	18	
0.7	953	982	29	
1	1060	1101	41	
1.5	1232	1290	58	
1.9	1362	1394	32	

C. Mạch dao động điều khiển bằng điện áp và lựa chọn dải tần số

Các mach tao dao đông là một thành phần tích hợp quan trong của các mạch CDR để tạo ra xung đồng hồ của hệ thống. Chất lượng jitter của mạch CDR bị ảnh hưởng trực tiếp bởi thiết kế của mạch VCO. Mạch CDR có thể được thực hiện bằng hai cấu trúc là LC-VCO và VCO kiểu vòng. Mặc dù cấu trúc LC đạt được tần số trung tâm cao và jitter có thể thấp hơn nhưng nó có khoảng điều chỉnh tần số giới hạn và diện tích chiếm cao do sử dụng cuộn cảm trong mạch. Điều này làm cho nó khó đạt được tần số mong muốn trong các ứng dụng CDR dải rộng. Vì vậy, trong mạch CDR đề xuất, mạch VCO được thiết kế dựa trên cấu trúc mạch vòng, 4 tầng với mỗi tầng được thể hiện như trên Hình 7. Trong đó, VHP và VHN là các điện áp điều khiển để thay đổi một khoảng rộng tần số của VCO, và VHP là điện áp phân áp cho cực cổng của PMOS, được tạo ra qua phép biến đổi gương dòng từ VHN.



Hình 7. Sơ đồ mạch một tầng của mạch VCO vi sai 4 tầng.

Với mục tiêu đảm bảo khoảng làm việc rộng cho CDR và cải thiện chất lượng jitter của xung đồng hồ và dữ liệu khôi phục, mạch VCO được chia làm ba dải theo các bit điều khiển D₀ và D₁. Khoảng tần số làm việc của VCO từ 150 MHz đến 1.6 GHz như được thể hiện trên Hình 8. Trong đó, VCO làm việc trong dải 1 từ 150 MHz đến 820 MHz khi D₀ = 0, D₁ = 0; trong dải 2 từ 800 MHz đến 1.22 GHz khi D₀ = 1, D₁ = 0; trong dải 3 từ 1.2 GHz đến 1.6 GHz khi D₀ = 0, D₁ = 1. Có một khoảng nhỏ trùng lặp giữa các dải để đảm bảo cho VCO làm việc liên tục trong toàn dải. Hình 9 là kết quả mô phỏng tạp âm pha cho VCO vòng hở. Tạp âm pha của VCO có giá trị từ -87.4 dBc/Hz đến -93.7 dBc/Hz tại độ dịch tần số 1 MHz trong cả băng tần.



Hình 8. Kết quả mô phỏng dải tần làm việc của mạch VCO.



Hình 9. Tạp âm pha của VCO ba dải.

Thuật toán lựa chọn dải tần số VCO dải rộng được thể hiện trên Hình 10.



Hình 10. Thuật toán lựa chọn dải tần số cho VCO

Mạch VCO luôn bắt đầu làm việc từ tần số nhỏ nhất của dải 3 ($D_0 = 0$, $D_1 = 1$), khi đó, mạch FBS sẽ kiểm tra sự tồn tại của xung UP được tạo ra từ mạch CFD. Nếu có xung UP thì mạch FBS sẽ lựa chọn dải 3 cho VCO. Ngược lại, VCO sẽ được thiết lập đến tần số cực đại của dải 1 ($D_0 =$

0, $D_1 = 0$). Sau đó, mạch FBS tiếp tục kiểm tra sự tồn tại của xung UP để lựa chọn chính xác dải tần số làm việc của VCO, kết thúc quá trình lựa chọn dải tần số cho VCO và chuyển sang giai đoạn bám tần số.

D. Mạch phát hiện trạng thái khóa

Mach phát hiện trạng thái khóa tần số được xây dựng dưa trên quan sát số lương xung UP_F và DN_F được tao ra từ mạch FFD. Số lượng xung này sẽ giảm dần khi lỗi tần số tiến tới 0. Sơ đồ khối của mạch phát hiện trạng thái khóa và lưu đồ thuật toán của nó được thể hiện trên Hình 11 và Hình 12 tương ứng. Một cửa sổ thời gian 72 T_{CK} khi VCO làm việc trong dải 1 và 128 T_{CK} khi VCO làm việc trong dải 2 và 3 được tạo ra bằng một bộ chia 4 và một bộ đếm 6 bits. Mach LD sẽ kiểm tra sư tồn tại của xung UP_F và DN_F trong khoảng thời gian này. Khi lỗi tần số đủ nhỏ, sẽ không có xung UP_F hoặc DN_F nào được tạo ra từ mạch FFD. Khi đó mạch LD sẽ khởi tạo tín hiệu thông báo trạng thái khóa LOCK FD để kết thúc quá trình bám tần số, chuyển hoạt đông của mach CDR sang chu trình bám pha, đồng thời cho phép mạch LOLD bắt đầu theo dõi sự thay đổi tốc độ của dữ liệu đầu vào của mạch CDR.



Hình 11. Sơ đồ khối mạch phát hiện trạng thái khóa



Hình 12. Lưu đồ thuật toán của mạch phát hiện trạng thái khóa.

IV. KÉT QUẢ MÔ PHỎNG

Mạch CDR bán tốc, không sử dụng tần số tham chiếu, dải rộng được thiết kế trên công nghệ CMOS 180 nm. Một mạch tạo chuỗi dữ liệu giả ngẫu nhiên (PRBS) được sử dụng để tạo dữ liệu đầu vào cho mô phỏng. Bảng II tổng kết công suất tiêu thụ của mạch CDR. Mạch CDR tiêu thụ công suất tổng cộng 40.2 mW tại tốc độ dữ liệu 3.2 Gb/s với điện áp nguồn cung cấp là 1.8 V. Trong đó mạch PD tiêu thụ 3.7 mW, mạch FD 23.8 mW, mạch VCO 7.1 mW, còn lại là các mạch khác như mạch PRBS, mạch bơm-sạc, mạch quyết định, mạch tạo xung

Bảng II. Công suất tiêu thụ của CDR tại 3.2 Gb/s.

	PD	3.7 mW	
FD	SL_UP	5.2 mW	
	CFD	6.9 mW	
	FFD	2.1 mW	
	LD	4.9 mW	
	LOLD	4.7 mW	
VCO	CORE	2.5 mW	
	FBS	4.6 mW	
K	KHÁC	5.6 mW	
Г	ÔNG	40.2 mW	

Hình 13 và Hình 14 thể hiện hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào là thấp nhất và cao nhất trong dải làm việc của CDR tương ứng. Kết quả mô phỏng thể hiện rằng, mạch CDR đề xuất làm việc tốt trong cả dải với ba giai đoạn là lựa chọn dải tần số cho VCO, bám tần số và bám pha. Khi tốc độ dữ liệu đầu vào là 300 Mb/s như trên Hình 13, mach FBS làm việc để lưa chon dải 1 cho VCO, $D_0 = 0$, $D_1 = 0$. Như đã được phân tích trong mục 3.2, mạch lựa chọn xung UP không hoạt động khi VCO làm việc trong dải 1. Vì vây, không có tín hiệu SL UP trong trường hợp này. Mạch FLL bắt đầu bám tần số từ tần số cực đại của dải 1, điện áp điều khiển (VC) giảm dần, giảm tần số VCO. Mach đat được trang thái khóa tần số sau khoảng thời gian 3.2 μs. Trong Hình 14, tốc độ dữ liệu đầu vào là 3.2 Gb/s, mạch FBS lựa chọn dải 3 cho VCO, $D_0 = 0$, $D_1 =$ 1, mạch FLL bắt đầu bám tần số từ tần số cực tiểu của dải 3. Trong trường hợp này, mạch lựa chọn xung UP làm việc để giảm thời gian bám tần số. Khi lỗi tần số giữa một nửa tốc độ dữ liệu đầu vào và tần số của VCO nhỏ thì mạch lựa chọn xung UP dừng làm việc, tín hiệu SL UP được tạo ra sau khoảng 1.69 µs và trạng thái khóa tần số đạt được sau khoảng 2.02 µs.



Hình 13. Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 300 Mb/s.



Hình 14. Hoạt động của mạch CDR khi tốc độ dữ liệu đầu vào 3.2 Gb/s.

Hình 15 và Hình 16 thể hiện kết quả mô phỏng dạng sóng khôi phục của xung đồng hồ và dữ liệu tại tốc độ dữ liệu đầu vào 300 Mb/s và 3.2 Gb/s tương ứng. Kết quả mô phỏng thể hiện rằng, mạch CDR đề xuất có jitter xung đồng hồ khôi phục và dữ liệu khôi phục lần lượt bằng 6 ps và 9 ps tại tốc độ dữ liệu đầu vào 3.2 Gb/s. Bảng III tổng kết chất lượng của mạch CDR đề xuất và so sánh chất lượng với các nghiên cứu trước. Mạch CDR đạt được dải tần làm việc rộng và thời gian đạt được tần số ngắn. Kết quả đạt được của mạch đề xuất trả giá về công suất tiêu thụ khi so sánh với [2] (40.2 mW của bài báo này so với 30.2 mW trong [2]). Điều này là bởi trong mạch CDR đề xuất, tác giả đã thêm một số mạch vào thiết kế CDR để cải thiện chất lượng của mạch CDR, bao gồm mạch lựa chọn xung UP, mạch VCO ba dải và mạch lựa chọn dải tần số cho VCO.



Hình 15. Chất lượng jitter tại 300 Mb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục.



Hình 16. Chất lượng jitter tại 3.2 Gb/s của (a) xung đồng hồ khôi phục, (b) dữ liệu khôi phục.

Bảng III. So sánh chất lượng của mạch CDR đề xuất với các nghiên cứu trước.

	[2]	[5]	[10]	[12]	Bài báo
	(Mô	(Mô			này
	phỏng)	phỏng)			(Mô phỏng)
Công nghệ	180	180	65	180	180
(nm)	CMOS	CMOS	CMOS	CMOS	CMOS
Nguồn (V)	1.8	1.8	1	1.8	1.8
Tốc độ	0.3-2.5	0.2-3	0.65-10.5	0.43-3.45	0.3-3.2
dữ liệu	Gb/s	Gb/s	Gb/s	Gb/s	Gb/s
Kiểu FD	Hai hướng				
Bám tốc độ	Có	Có	Có	Có	Có
dữ liệu					
liên tục					
Nhạy với	Không	Không	Có	Có	Không
ISI					
Thời gian	1.05	12.9	52	17.9	2.02
bám tần số	μs	μs	μs	μs	μs
Jitter _{p-p}	25	10	23.5	29.8	6
(ps)	@2Gb/s	@3Gb/s	@10Gb/s	@3.45Gb/s	@3.2Gb/s
Công	30.2	37.8	26	26	40.2
suất tiêu	mW	mW	mW	mW	mW
thụ					

V. KÊT LUẬN

Trong bài báo này, một mạch CDR không sử dụng tần số tham chiếu, dải rộng đã được thiết kế trong công nghệ CMOS 180 nm. Mach CDR đat được thời gian bám tần số ngắn hơn khi tốc đô dữ liệu đầu vào cao bởi một mạch lựa chọn xung UP đề xuất và chất lượng jitter của dữ liệu và xung đồng hồ khôi phục được cải thiện bằng một mạch VCO ba dải. Mạch CDR hoạt động với tốc độ dữ liệu đầu vào 0.3 Gb/s đến 3.2 Gb/s, tiêu thụ công suất 40.2 mW tại 3.2 Gb/s với điện áp nguồn cung cấp 1.8 V. Mạch CDR để xuất đạt được thời gian bám tần số ngắn và thỏa mãn cả ba tiêu chí quan trọng là dải rộng, tốc độ dữ liệu liên tục và khả năng phát hiện tần số theo hai hướng. Hướng phát triển tiếp theo của vấn đề nghiên cứu là tiếp tục nghiên cứu giải pháp để cải thiện hơn nữa thời gian bám tần số, thực thi thiết kế mạch CDR trên các công nghệ hiện đại hơn như 28 nm để tăng dải tần làm việc của mạch, chế tao Chip để có thể đạt được các kết quả đo.

TÀI LIỆU THAM KHÁO

- [1] Nguyễn Hữu Thọ, Nguyễn Thế Quang, "Thiết kế mạch LDO đầu vào dải rộng sử dụng công nghệ CMOS 180 nm," Tạp chí Khoa học và Công nghệ, Đại học Đà Nẵng, Vol. 17, No. 10, 2019.
- [2] Nguyễn Hữu Thọ, Phạm Mạnh Hà, Lê Thị Luận, Lê Thị Trang, Nguyễn Thế Quang, "Thiết kế mạch khôi phục dữ liệu và xung đồng hồ dải rộng, không sử dụng tần số tham chiếu, tốc độ dữ liệu liên tục sử dụng công nghệ CMOS 180 nm", Tạp chí nghiên cứu KH&CN quân sự, Vol. 10, No. 63, 2019.
- [3] S. Lee, et al., "A 650 Mb/s-to-8 Gb/s referenceless CDR circuit with automatic acquisition of data rate," in Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 184–185, 2009.
- [4] R. Inti, et al., "A 0.5-to-2.5 Gb/s reference-less half-rate digital CDR with unlimited frequency acquisition range and improved input dutycycle error tolerance," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, pp. 3150-3162, Dec. 2011.
- [5] Nguyen Huu Tho, et al.: "A 200 Mb/s-3.2 Gb/s referenceless clock and data recovery circuit with bidirectional frequency detector," *IEICE Electronics Express*, Vol. 14, No. 8, Apr. 2017.
- [6] T. Masuda, et al., "A 12 Gb/s 0.9 mW/Gb/s Wide-Bandwidth Injection-Type CDR in 28 nm CMOS With Reference-Free Frequency Capture," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 12, pp. 3204-3215, Dec. 2016.
- [7] R. Shivnaraine, et al.: "An 8–11 Gb/s reference-less bang-bang CDR enabled by "Phase reset"," *IEEE Trans. Circuits Syst. I: Reg. Papers*, vol. 61, no. 6, pp. 2129–2138, Jun. 2013.

Phạm Mạnh Hà, Nguyễn Thế Quang, Nguyễn Hữu Thọ

- [8] S.Byun: "A 400 Mb/s-2.5Gb/s Referenceless CDR IC using Intrinsic Frequency Detection Capability of Half-Rate Linear Phase Detector," *IEEE Trans. Circuits Syst. I: Reg. Papers*, Vol. 63, No. 10, Oct. 2016.
- [9] G. Shu, et al.: "A 4-to-10.5Gb/s Continuous-Rate Digital Clock and Data Recovery with Automatic Frequency Acquisition," IEEE J. Solid-State Circuits, vol. 51, no. 2, pp. 428-439, Feb. 2016.
- [10] S.Choi, et al.: "A 0.65-to-10.5 Gb/s Reference-Less CDR with Asynchronous Baud-Rate Sampling for Frequency Acquisition and Adaptive Equalization," IEEE Trans. Circuits Syst. I: Reg. Papers, Vol. 63, No. 2, Feb. 2016.
- [11] J. Jin, et al.: "A 0.75–3.0-Gb/s Dual-Mode Temperature-Tolerant Referenceless CDR With a Deadzone Compensated Frequency Detector," IEEE J. Solid-State Circuits, vol. 53, no. 10, pp. 2994-3003, Oct. 2018.
- [12] K. Sohn, T. An, Y. Moon and J. Kang, "A 0.42 3.45 Gb/s Referenceless Clock and Data Recovery Circuit with Counter-based Unrestricted Frequency Acquisition". IEEE Trans. Circuits and Systems-II, Express Briefs, vol. 67, no. 6, pp. 974–978, Jun. 2020.
- [13] Y. Lee, S. Chang, Y. Chen, and Y. Cheng, "An Unbounded Frequency-Detection Mechanism for Continuous-rate CDR Circuits," IEEE Trans. Circuits and Systems-II, Express Briefs, vol. 64, no. 5, pp.500-504, May. 2017.
- [14] Pham Manh Ha, et al.: "An Improved Wide-Band Referenceless CDR with UP Pulse Selector for Frequency Acquisition," in International Conference on Advanced Technologies for Communications (ATC), 2020.
- [15] B. Razavi: Design of Integrated Circuits for Optical Communication Systems (McGraw-Hill, New York, 2003) 310-313.
- [16] Antonio J. Lopez Martin: *Cadence Design Environment*, New Mexico State University, Oct. 2002.

WIDE-BAND CLOCK AND DATA RECOVERY CIRCUIT WITH UP PULSE SELECTOR

Abstract: This paper presents a wide-band half-rate reference-less continuous-rate clock and data recovery (CDR) circuit on CMOS 180 nm. While the CDR circuits achieve simultaneously wide-band, continuous-rate and bidirectional frequency detection capacity, they have several drawbacks as long frequency acquisition time when increased input data rate or sensitive with inter-symbol interference. Therefore, this paper proposes a two-step frequency detector (FD) by combining between coarse-FD and fine-FD and additional UP pulse selector to fall acquisition time and relax with inter-symbol interference as well. The simulation results show the CDR circuit obtains maximum frequency acquisition time of 3.2 µs and 6 ps peak-to-peak jitter at 1.6 GHz of recovery clock.

Keywords: clock and data recovery, optical receiver, high speed interface circuit, bidirectional frequency detector, continuous-rate, wide-band, reference-less.



Phạm Mạnh Hà was born in VietNam in 1982. He received his undergraduate degree in 2005, major in Telecommunication and Electronics Technology from Hanoi University of Technology.In 2011, he received the Master of Telecommunication Engineering Degree from Le Quy Don University. He is working at Vietnam on Authority VietNam

Telecommunication Authority, VietNam.



Nguyễn Thế Quang was born in Viet Nam, in 1978. He received B.E. degree from National Defense Academy, Japan, in 2004, M.E. degree in 2009 and the Ph.D. degree in 2012 from the University of Electro-Communications, Tokyo, Japan. From 2012 to 2014, He worked as a postdoctoral fellow at the Department of Communication Engineering and Informatics, the University

of Electro-Communications, Tokyo, Japan. He was a recipient of

the Young Scientist Award at the 15th OptoElectronics and Communications Conference (OECC 2010) presented by the IEEE Photonics Society Japan Chapter. In 2014, he joined Le Quy Don Technical University, Hanoi, Vietnam, where he is currently an Associate Professor and the Head of Department of Telecommunications. His research interest is all-optical signal processing based on nonlinear fiber optics for WDM and OTDM systems, intergrated circuits for optical communications. He is currently a Lecturer at Le Quy Don Technical University, Hanoi, Vietnam.



Nguyễn Hữu Thọ was born in Viet Nam, in 1985. He received the B.S. and the M.S. degrees in electronic and radio engineering from Le Quy Don Technical University, Vietnam, in 2010 and 2014, respectively. He is currently pursuing the Ph.D. degree in integrated circuits and systems in Inha University, Korea.

He has been working as lecturer at Le Quy Don Technical University, Vietnam from 2011. He has been involved in wireline communications, especially clock and data recovery circuit, equalizer, and high-speed I/O design.